

Best Available Copy

DIALOG(R)File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

02252456 ****Image available****
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 62-169356 [JP 62169356 A]

PUBLISHED: July 25, 1987 (19870725)

INVENTOR(s): YAMABE KIKUO

IMAI KEITAROU

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP(Japan)

APPL. NO.: 61-008959 [JP 868959]

FILED: January 21, 1986 (19860121)

INTL CLASS: [4] H01L-027/04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 572, Vol. 12, No. 9, Pg. 36, January 12, 1988 (19880112)

ABSTRACT

PURPOSE: To improve the reliability of an MOS capacitor and the like, by forming a thermal oxide film on a substrate, thereafter removing the thermal oxide film by etching, rounding the protruded or recessed part at the surface of silicon, and thereafter newly forming an oxide film on the surface of the silicon.

CONSTITUTION: A field oxide film 2 is formed on a P-type Si substrate 1. A groove 3 is formed in the substrate 1. An oxide film 4 (rounded oxide film) is once formed in oxygen including NF(sub 3) gas of 50 ppm at 800 deg.C for 30 minutes. Thereafter, the oxide film 4 is etched away. Then, a gate oxide film 5 having a thickness of 15 nm is formed in dry oxygen at 900 deg.C. Then, phosphorus added polycrystalline silicon 6 for a gate electrode is further formed thereon.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-169356

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月25日

H 01 L 27/04

C-7514-5F

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭61-8959

⑰ 出 願 昭61(1986)1月21日

⑱ 発 明 者 山 部 紀 久 夫 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
 ⑲ 発 明 者 今 井 馨 太 郎 川崎市幸区小向東芝町1 株式会社東芝総合研究所内
 ⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
 ㉑ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

① 立体形状を有するシリコン表面を酸化して酸化膜を形成するにあたり、シリコン表面をフッ素化合物ガスを添加した酸化性雰囲気中で熱酸化して酸化膜を形成することを特徴とする半導体装置の製造方法。

② 前記立体形状を有するシリコンが単結晶シリコン基板であることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

③ 前記フッ素化合物のガスを添加した酸化性雰囲気中で熱酸化膜を形成した後、これをエッチング除去し、この熱酸化膜を除去した前記シリコン表面に所望の酸化膜を形成することを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置の製造方法に係わり、たとえば立体形状を有するシリコン基板上におけるMOSキャパシタの製造方法に関する。

(従来の技術)

MOSダイナミックメモリ(dRAM)は比例縮小用によって素子の微細化、高集積化が進められている。dRAMの構成要素であるMOSキャパシタも例外ではなく、ゲート酸化膜厚 t_{ox} 及び面積 S の縮小が進んでいる。スケールング係数を α とすると、ゲート酸化膜厚は t_{ox}/α に、面積は S/α^2 になる。MOSキャパシタの容量 C は誘電率 ϵ として、 $C = \epsilon S/t_{ox}$ と表わされるため、比例縮小後の容量 C' は、 $C' = C/\alpha$ となり、 $1/\alpha$ に小さくなる。こうしてMOSキャパシタの容量が小さくなると、アルファ遅延量によるソフトエラーが起りやすくなり、またビット線の容量との比が小さくなってセンス余裕が小さくなる結果誤動作を生じる原因になったりする。このため一般にMOSキャパシタの面積は S/α^2 ではなく、 S/α の縮小に止めることが行われていた。しかし

特開昭62-169356 (2)

世代毎に寸法縮小は進み、信頼性の高いDRAMを得ることは限界に近付きつつある。

MOSキャパシタの容量を大きくする手段として、電圧の大きい絶縁膜、例えば Ta_2O_5 膜等を用いることも検討されているが、未だ実用になっていない。また10nm以下の極めて薄い信頼性の高いシリコン酸化膜の適用が検討されているが、これも極めて高純度の純水や薬品を必要とし、また清浄度の高いクリーンルームを必要とする、等の理由で実用になっていない。

そこで現在、MOSキャパシタの容量を増大する有力な方法として、半導体基板表面に溝を掘り、占有面積を増大させることなく実質的にキャパシタ面積の増大を図る方法が検討されている。ところがこのような溝を、反応性イオンエッチング(RIE)のような異方性エッチング法により垂直の側壁をもって形成すると、次のような問題が生じる。即ちこの様な溝(凹部)の上部或いは底部のコーナーの部分(角部)は曲率半径が極めて小さく、熱酸化によりゲート膜を形成した時、こ

の角部において平坦部より酸化膜厚が薄くなる。この現象は次のように説明されている。シリコンを酸化すると、形成される酸化膜の体積は元のシリコンの約2.3倍になる。このため酸化が進行すると、シリコン-シリコン酸化膜界面の酸化膜側では圧縮応力が働き、前述の角部では応力の集中が起こる結果、酸化が抑制されるものと思われる。

このように溝の底部或いは上部の角部で酸化膜厚が平坦部より薄くなると、この部分は耐圧が低くなり低い電界で大きいリーク電流が流れる原因となる。使用電圧でのリーク電流を十分小さく保つためにゲート酸化膜厚を厚くすると、平坦部では厚くなりすぎ、溝を掘って面積を大きくすることによる容量増大の効果が減殺されることになる。

本発明は、凹部または凸部を形成した半導体基板表面に均一な厚さの酸化膜、例えばゲート酸化膜を形成して、MOSキャパシタ等の信頼性を向上することができる。半導体装置の製造方法を提供することを目的とする。

(問題点を解決するための手段)

本発明は、凹部または凸部が形成された半導体基板表面を一旦フッ素化合物を含んだ酸化雰囲気中にさらし、前記半導体基板上に熱酸化膜を形成する。しかる後、この熱酸化膜をエッチング除去することによってシリコン表面の凹部または凸部の形状に丸みをもたせ、その後シリコン表面に新たに酸化膜を形成する。

(作用)

次に作用について簡単に説明する。

フッ素化合物たとえば HF 、ガスを酸化性雰囲気に加えると HF はシリコン表面で熱的に解離し、 HF 、 HF_2 、 F あるいは F_2 といったフッ素系のラジカルを形成する。フッ素原子はシリコンに比べ電気陰性度も大きくSi-F結合の結合エネルギーはSi-Si結合より大きいので、Si表面ではフッ素化合物の到達によってSiとFが結合した状態とSiのダングリングボンドの状態を形成する。ダングリングボンドにおいてシリコンは酸素と結合しやすい。またSi-F結合はFの電気陰性度がシリコンよりかなり大きいのでシリコン原子は正に電荷をもつ

たイオン性結合となっている。このため負のイオンをもつ酸素分子との結合はより容易になる。

従ってフッ素のシリコン表面への到達はシリコンの酸化性をより高くし、平均的に酸化における界面反応速度を大きくする。

例えば700℃で100ppmの HF を添加した乾燥酸素中でシリコン表面を酸化した場合、熱形酸化係数 B/A と放物線型酸化係数 B はそれぞれ、 $2.6 \times 10^{-11} \text{ cm}^2/\text{h}$ と $4.9 \times 10^{-11} \text{ cm}^2/\text{h}$ であり、同温度の乾燥酸素中での酸化の場合は、 $B/A = 2.6 \times 10^{-11} \text{ cm}^2/\text{h}$ 、 $B = 3.6 \times 10^{-11} \text{ cm}^2/\text{h}$ であり、 HF 添加より B/A が2桁大きくなっている。これから熱形酸化領域から放物線型領域への移行の目安となる A 値は、 HF を添加することにより1.4nmから190nmに減少することがわかる。

つまり、 HF を添加した乾燥酸素中の場合、乾燥酸素中のみで酸化した場合と比べ、より薄い膜厚から拡散付着による酸化に移行する。

その結果、例えば凸部コーナー部分は、凸部のコーナー部以外の平坦部に比べ応力の作用で酸化

特開昭62-169356(3)

膜厚が薄く形成されるがフッ素の到達によってフッ素化合物を添加しない場合に比べより早く酸蝕液による酸化に入り、コーナー部分でも平坦部とはほぼ均一な膜厚を得ることができ、又凹部コーナー部分においては酸蝕液による酸化は逆に抑制されるので Si/SiO_2 界面は丸みを帯びた形状に形成されるものと考えられる。

【実施例】

第7図(a)~(e)は本発明の一実施例としてd R A Mセルの製造工程を示す断面図である。先ず第1図(a)に示すように、比抵抗 $100\Omega/\square$ 程度のp型Si基板(1)に、 $100\sim 1000\text{nm}$ 程度のフィールド酸化膜(2)を形成する。このフィールド酸化膜は例えば、酸化膜をマスクとした SiO_2 法、全面に酸化膜を形成してこれを選択エッチングする方法、或いはフィールド領域に予め隙を設けてこの隙に酸化膜の埋め込みを行う方法、等により形成する。この後、d R A MセルのM O S キャパシタ領域内に、第1図(b)に示すように溝(3)を形成する。この溝(3)は例えば、 CF_4 、 SF_6 、 CCl_4 等を

主成分とするガス或いはこれにHが入ったガスを用いたR I E法により形成する。このR I E工程のマスクは通常のフォトリソストではそれ自体もエッチングされて消失する場合があるので、例えばC V Dによる $SiO_2/Si_3N_4/SiO_2$ 膜等を用いることが好ましい。

この後、第1図(c)のように 400°C で50ppmの NF_3 を含んだ酸液中30分間で一旦、酸化膜(4)（丸め酸化膜）を形成し、その後この酸化膜(4)をエッチング除去する。しかる後、周知の方法により第1図(d)に示す如く 800°C の乾燥酸液中で膜厚15nmのゲート酸化膜(5)を形成し、さらにその上にゲート電極用リン添加多結晶シリコン(6)を形成する。

その後第1図(e)に示すように、第1図(d)の多結晶シリコン(6)をパターニングしてキャパシタ電極(6')を形成し、次いでスイッチングM O S F E T領域内に新たにゲート酸化膜(5')を形成し、更にその上にゲート電極(6')を形成し、ソース、ドレイン領域のn⁺形層(7)、(8)を形成して、第1図(e)に示したメモリセルを完成する。

以上のような実施例の効果を次に説明する。上記実施例に従ってゲート酸化膜が形成された、 100000 個の溝を含み且つキャパシタ電極を共通にしたM O S キャパシタと、従来用いられている方法で乾燥酸液雰囲気中、 800°C の条件でゲート酸化膜が形成された同様の構造のM O S キャパシタのリーク電流（ゲート電圧 V_g -電流 I_g 特性）を比較した。第2図はその比較データである。図から明らかなように本実施例では、従来方法に比べてリーク電流が大幅に低減されている。

こうして本実施例によれば、酸化時に溝の角の部分での応力集中をおこすことなく均一な厚さでゲート酸化膜を形成することができ、M O S キャパシタのリーク電流の増大をもたらすことなく、ゲート酸化膜厚を小さくして大きい容量を得ることができる。

なお上記実施例では NF_3 添加の酸化は 800°C 、50ppm、 NF_3/O_2 雰囲気中30分間としたが、その条件は、本実施例に限定されるものではない。

例えば文献(M.Morita, et. al. appl. Phys.

Lett., Vol. 45, No.12, P.1312 "Fluorine-enhanced thermal oxidation of silicon in the presence of NF_3 " (1984)) に説明されているように酸化膜厚の増加は NF_3 の添加が微量の場合、酸化温度が高い程、顕著である。又、 NF_3 の添加量は増加するに従い酸化膜のエッチングも同時に進行するので、酸化膜厚は NF_3 添加量に対してほぼ一定になる。それ故、 NF_3 添加量と酸化温度をパラメータとして、所望の酸化膜厚を適宜形成してもよい。

また本実施例では NF_3 添加による酸化膜(4)はエッチング除去し、その後ゲート酸化膜(5)を新たに形成したが、 NF_3 添加による酸化膜(4)をそのままゲート酸化膜として用いることも可能である。

【発明の効果】

本発明によれば、凹部または凸部等の立体形状を有する半導体基板表面に均一な膜厚のゲート酸化膜を形成することができる。これは本発明の条件に従えば、成長する酸化膜中に残存する応力の膜厚方向の成分値のばらつき（即ち、凹部や凸部

特開昭62-169356(4)

の平坦部と角部での応力の配向方向の積分値の差)が10%程度以下に保たれ、この結果応力集中が効果的に防止されるためである。従ってこのゲート酸化膜を用いて例えば容量が大きく且つリーク電流の小さいMOSキャパシタを形成することができ、またこのMOSキャパシタを用いて高集積化dRAMを構成すれば、dRAMのソフトエラーによる誤動作の確率を下げ、またセンスアンプの動作余裕を大きいものとすることができる。

更に一般に、酸化膜中の応力集中の緩和は、酸化雰囲気中では約850℃以上から顕著となり、それ以下では応力集中を緩和することは実用上困難となってくる。

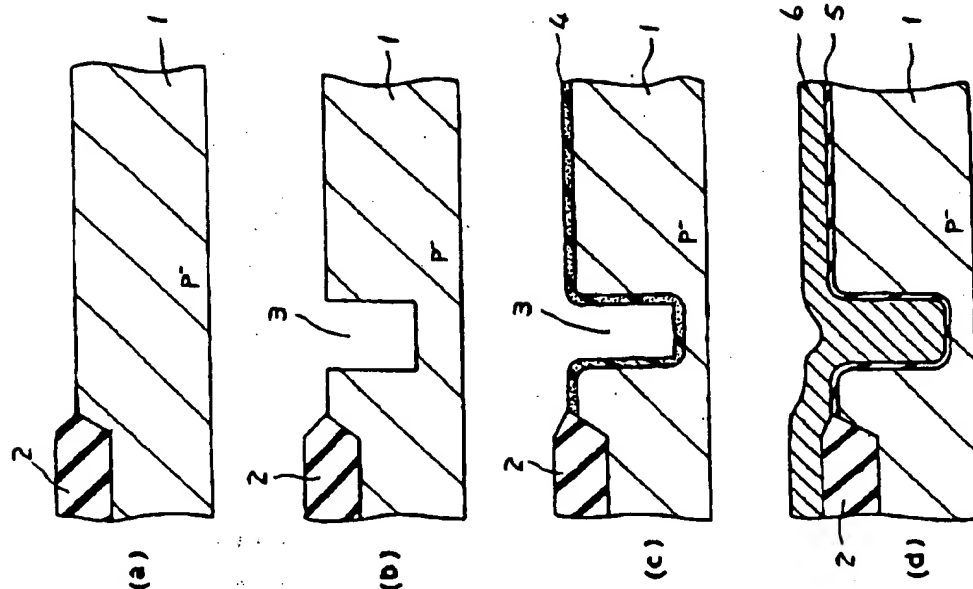
しかし本発明においては凸部又は凹部等の立体形状を有する半導体基板表面を酸化によって丸める(丸め酸化)膜、フッ素化合物を酸化性雰囲気中に添加することにより、800℃以下の条件でも十分基板表面の立体形状を丸める効果のある丸め酸化を低温処理にて行なうことが可能である。

4. 図面の簡単な説明

第1図(a)~(d)は本発明の一実施例としてdRAMセルの製造工程を示す断面図、第2図は同実施例の効果を説明する為のゲート酸化膜のリーク電流特性を従来例と比較して示す特性図である。

- 1…p型Si基板、
- 2…フィールド酸化膜、
- 3…溝、
- 4…丸め酸化膜、
- 5, 5', 5''…ゲート酸化膜、
- 6…多結晶シリコンゲート電極、
- 6', 6''…多結晶シリコンゲート電極、
- 7, 8…n⁺型層。

代理人 弁理士 則 近 藤 佑
岡 竹 花 喜久男



第1図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.